



DPC  
D6-18-01  
GAL

PATENT  
81754.0061

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

SARUHASHI, et al.

Serial No: 09/871,596

Filed: May 30, 2001

For: Method of Testing Physical Layer  
Device and Test Circuit and  
Transmission/Reception Circuit  
With Test Circuit

Art Unit: Not Assigned

Examiner: Not Assigned

I hereby certify that this correspondence  
is being deposited with the United States  
Postal Service with sufficient postage as  
first class mail in an envelope addressed  
to:

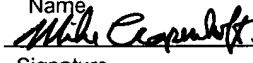
Assistant Commissioner for Patents  
Washington D.C. 20231, on

July 19, 2001

Date of Deposit

Michael Crapenhoft, Reg. No. 37,115

Name

 July 19, 2001

Signature

Date

**TRANSMITTAL OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2000-162546 which was filed May 31, 2000, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: July 19, 2001

By:   
Michael Crapenhoft  
Registration No. 37,115  
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

日本国特許庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2000年 5月31日

出願番号

Application Number:

特願2000-162546

出願人

Applicant(s):

セイコーエプソン株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 6月 1日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



【書類名】 特許願  
【整理番号】 J0077700  
【提出日】 平成12年 5月31日  
【あて先】 特許庁長官殿  
【国際特許分類】 H04L 13/00  
【発明者】  
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内  
【氏名】 上條 裕史  
【発明者】  
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内  
【氏名】 猿橋 宣幸  
【特許出願人】  
【識別番号】 000002369  
【氏名又は名称】 セイコーホームズ株式会社  
【代表者】 安川 英昭  
【代理人】  
【識別番号】 100093388  
【弁理士】  
【氏名又は名称】 鈴木 喜三郎  
【連絡先】 0266-52-3139  
【選任した代理人】  
【識別番号】 100095728  
【弁理士】  
【氏名又は名称】 上柳 雅裕  
【選任した代理人】  
【識別番号】 100107261  
【弁理士】

特2000-162546

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 物理層デバイスのテスト方法及びテスト回路付き物理層デバイス

【特許請求の範囲】

【請求項1】 リンク層インターフェースと、このリンク層インターフェースと接続される物理層ロジック回路と、この物理層ロジック回路に接続される複数のポートとを備えた物理層デバイスにおいて、

自己のテスト用リンク層回路と、相手となるテスト用物理層ロジック回路とを内部に設けておき、

テスト時に、前記複数ポートを外部接続するとともに、前記テスト用リンク層回路を前記リンク層インターフェースを介して前記物理層ロジック回路と接続し、かつ、前記ポートのうちの一部と前記テスト用物理層ロジック回路とを接続し、前記物理層ロジック回路と前記複数のポートのテストを行うようにした物理層デバイスのテスト方法。

【請求項2】 リンク層インターフェースと、このリンク層インターフェースと接続される物理層ロジック回路と、この物理層ロジック回路に接続される複数のポートとを備えた物理層デバイスにおいて、

テスト時に前記リンク層インターフェースを介して前記物理層ロジック回路と接続し、その物理層ロジック回路との間で所定のデータの授受を行うテスト用リンク層回路と、

テスト時に前記複数のポートのうちの一部のポートと接続し、そのポートとの間で所定のデータの授受を行うテスト用物理層ロジック回路と、

を備えたことを特徴とするテスト回路付き物理層デバイス。

【請求項3】 前記リンク層インターフェースは、外部のリンク層デバイスまたは前記テスト用リンク層回路と選択的に接続できるスイッチを含んでいることを特徴とする請求項2に記載のテスト回路付き物理層デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、物理層デバイスのテスト方法、およびテスト回路を有するテスト回路付き物理層デバイスに関し、例えばIEEE1394インターフェースの物理層デバイス（物理層チップ）などに適用されるものである。

【0002】

【従来の技術】

従来、例えIEEE1394インターフェースの物理層デバイス1は、図5に示すように概略構成されている。すなわち、この物理層デバイス1は、リンク層インターフェース2、物理層ロジック回路3、3つのポート4～6からなり、これにより1つのデバイスを形成している。

【0003】

このような物理層デバイス1において、IEEE1394規格で決められている各規格をテストする場合には、図5に示すように、物理層デバイス1と接続されるリンク層デバイス7の他に、相手となる物理層デバイス8およびリンク層デバイス9が必要となる。

【0004】

このため、テスト時には、物理層デバイス1のリンク層インターフェース2は、リンク層デバイス7の物理層インターフェース10に接続されるとともに、物理層デバイス1のポート4～6は、相手の物理層デバイス8のポート4～6とケーブル11でそれぞれ接続される。さらに、物理層デバイス8のリンク層インターフェース2は、リンク層デバイス9の物理層インターフェース10に接続される。

【0005】

【発明が解決しようとする課題】

このように、従来、物理層デバイス1において、IEEE1394規格で決められている各規格をテストするような場合には、物理層デバイス1と接続されるリンク層デバイス7の他に、相手となる物理層デバイス8およびリンク層デバイス9が必要となる。このため、特殊な環境でテストを行う必要があり、テスト時間の増加やテスト費用の増大を招くというような不都合があった。

【0006】

そこで、本発明の目的は、物理層デバイスのテストをそれ単体でできるようにし、テスト時間の短縮化、テスト費用の低減化ができるようにした物理層デバイスのテスト方法及びテスト回路付き物理層デバイスを提供することにある。

【0007】

【課題を解決するための手段】

上記課題を解決し、本発明の目的を達成するために、請求項1～請求項3に記載の各発明は以下のように構成した。

【0008】

すなわち、請求項1に記載の発明は、リンク層インターフェースと、このリンク層インターフェースと接続される物理層ロジック回路と、この物理層ロジック回路に接続される複数のポートとを備えた物理層デバイスにおいて、自己のテスト用リンク層回路と、相手となるテスト用物理層ロジック回路とを内部に設けておき、テスト時に、前記複数ポートを外部接続するとともに、前記テスト用リンク層回路を前記リンク層インターフェースを介して前記物理層ロジック回路と接続し、かつ、前記ポートのうちの一部と前記テスト用物理層ロジック回路とを接続し、前記物理層ロジック回路と前記複数のポートのテストを行うようにしたことを特徴とするものである。

【0009】

このようなテスト方法からなる請求項1に記載の発明では、物理層デバイスのテストが物理層デバイス単体でできるので、テストが容易となり、テスト時間の短縮化、テスト費用の低減化を実現することができる。

【0010】

請求項2に記載の発明は、リンク層インターフェースと、このリンク層インターフェースと接続される物理層ロジック回路と、この物理層ロジック回路に接続される複数のポートとを備えた物理層デバイスにおいて、テスト時に前記リンク層インターフェースを介して前記物理層ロジック回路と接続し、その物理層ロジック回路との間で所定のデータの授受を行うテスト用リンク層回路と、テスト時に前記複数のポートのうちの一部のポートと接続し、そのポートとの間で所定のデータの授受を行うテスト用物理層ロジック回路と、を備えたことを特徴とする

ものである。

#### 【0011】

このような構成からなる請求項2に記載の発明では、テスト時には、複数のポートは外部接続される。テスト用リンク層回路は、リンク層インターフェースを介して物理層ロジック回路と接続し、その物理層ロジック回路との間で所定のデータの授受を行う。テスト用物理層ロジック回路は、複数のポートのうちの一部のポートと接続し、そのポートとの間で所定のデータの授受を行う。このため、物理層ロジック回路と複数のポートの所定のテストが実現できる。

#### 【0012】

従って、請求項2に記載の発明では、物理層デバイスのテストを物理層デバイス単体でできるので、テストが容易となり、テスト時間の短縮化、テスト費用の低減化を実現することができる。

#### 【0013】

請求項3に記載の発明は、請求項2に記載のテスト回路付き物理層デバイスにおいて、前記リンク層インターフェースは、外部のリンク層デバイスまたは前記テスト用リンク層回路と選択的に接続できるスイッチを含んでいることを特徴とするものである。

#### 【0014】

このような構成からなる請求項3に記載の発明では、リンク層インターフェースが、外部のリンク層デバイスまたはテスト用リンク層回路と選択的に接続できる。このため、本発明にかかる物理層デバイスは、試作品のみならず実際の製品に適用できる。

#### 【0015】

##### 【発明の実施の形態】

以下、本発明の物理層デバイスのテスト方法及びテスト回路付き物理層デバイスの実施形態について図面を参照して説明する。

#### 【0016】

本発明のテスト回路付き物理層デバイスの実施形態について、図1～図4を参照して説明する。

## 【0017】

図1は、実施形態にかかるテスト回路付き物理層デバイスを、IEEE1394インターフェースの物理層デバイスに適用したブロック図である。

## 【0018】

この物理層デバイス21は、図1に示すように、リンク層インターフェース2、物理層ロジック回路3、およびポート4～6の他に、物理層ロジック回路3とポート4～6を所定の動作をテストするために、テスト用リンク層回路22、テスト用物理層ロジック回路23、およびセレクタ用のスイッチ24～26を内部に備えている。

## 【0019】

リンク層インターフェース2は、外部のリンク層デバイス、またはテスト用リンク層回路22との間でデータの授受を行うようになっている。物理層ロジック回路3は、送信データのエンコード、受信データのデコード、またはデータ送受信の際の調停などを行うようになっている。各ポート4～6は、図示しないが、データを送信するドライバと、データを受信するレシーバからなっている。

## 【0020】

テスト用リンク層回路22は、図5に示すリンク層デバイス7に相当するものであり、テスト時に後述のようなテスト動作を行うようになっている。テスト用物理層ロジック回路23は、図5に示す物理層デバイス8に相当するものであり、テスト時に後述のようなテスト動作を行うようになっている。

## 【0021】

スイッチ24は、切換え自在な接点を有し、通常動作の場合にはその接点が図1の位置にあり、テスト動作の場合にはテスト用リンク層回路22からの制御信号により図1の位置から反対側に切り換わるようになっている。

## 【0022】

スイッチ25、26は、切換え自在な接点を有し、通常動作の場合にはその接点が図1の位置にあり、テスト動作の場合にはテスト用物理層ロジック回路23からの制御信号により図1の位置から反対側に切り換わるようになっている。  
次に、物理層ロジック回路3の具体的な構成の一例について、図2を参照して説

明する。

【0023】

この物理層ロジック回路3は、図2に示すように、ステートマシン31、パケットコンローラ32、レジスタ33、セレクタ34、エンコーダ回路35、デコーダ回路36、ポートコントローラ37、ポートステートマシーン38を備えている。

【0024】

ステートマシン31は、各部の制御を行うようになっている。パケットコンローラ32は、レジスタ33と連係して所定のパケットを生成するようになっている。セレクタ34は、各部の信号を選択的にエンコーダ回路35に供給するようになっている。

【0025】

エンコーダ回路35は、送信データをエンコードして各ポート4～6の各ドライに供給するようになっている。デコーダ回路36は、各ポート4～6の各レシーバが受信した受信データをデコードするようになっている。ポートコントローラ37は、各ポート4～6の送受信を制御するようになっている。ポートステートマシーン38は、各ポート4～6の調停を行うようになっている。

【0026】

次に、テスト用リンク層回路22の構成の一例について、図3を参照して説明する。

【0027】

このテスト用リンク層回路22は、図3に示すように、テスト回路41と物理層インターフェース42とからなる。テスト回路41は、テストの際に、所定のパケットを生成し、このパケットを利用して所定の手順で物理層ロジック回路3との間でデータの授受を行うようになっている。従って、テスト回路41は、そのテストの内容に応じてその構成が異なるものである。

【0028】

次に、テスト用物理層ロジック回路23の具体的な構成の一例について、図4を参照して説明する。

## 【0029】

このテスト用物理層ロジック回路23は、図4に示すように、その構成が図2に示す物理層ロジック回路3の構成と基本的に同一であり、テスト・シーケンス回路51を含む点が異なる。

## 【0030】

テスト・シーケンス回路51は、図5に示すリンク層デバイス9に相当するものであり、テストの際に、テスト用物理層ブロック回路23がポート5、6のドライバに供給すべき送信データを生成するとともに、ポート5、6の受信データを処理するために、各部を所定の手順で制御するようになっている。

## 【0031】

なお、他の部分の構成は図2と同一であるので、同一の部分には同一符号を付してその説明は省略する。

## 【0032】

次に、このような構成からなる実施形態にかかる物理層デバイス21のテストの方法の一例について説明する。

## 【0033】

まず、テストに先立って、図1に示すように、ポート4～6の各外部接続端子をケーブル27により外部接続する。

## 【0034】

この状態でテストが開始されると、スイッチ24の接点が、テスト用リンク層回路22からの制御信号により図1の位置とは反対の位置に切り換わるとともに、スイッチ25、26の各接点が、テスト用物理層ロジック回路23からの制御信号により図1の位置とは反対の位置に切り換わる。

## 【0035】

その後、テスト用リンク層回路22のテスト回路41が動作を開始する。すなわち、テスト回路41は、所定のパケットを生成し、このパケットに基づいて所定の信号の授受を物理層ロジック回路3との間で行う（図3参照）。例えば、この信号としては、IEEE1394規格に規定されているリンクリクエスト信号LReq、ステータス信号、イベント信号などがある。そして、これらの各信号

を外部に適宜手段で取り出してモニタすることにより、物理層ロジック回路3の動作の良否を判断する。

#### 【0036】

一方、テスト用物理層ロジック回路23も動作を開始する。すなわち、テスト用物理層ロジック回路23のテスト・シーケンス回路51は、テスト用物理層ブロック回路23の各部がポート5、6のドライバに供給すべき送信データを生成するとともに、各部がポート5、6の受信データを処理するように、所定の手順で各部を制御する。このため、物理層ロジック回路3とテスト用物理層ロジック回路23とは、ポート4～6を介してデータの授受を行う。

#### 【0037】

そして、例えば、物理層ロジック回路3からの送信データとテスト用物理層ロジック回路23の受信データを適宜手段で外部に取り出してモニタするとともに、テスト用物理層ロジック回路23からの送信データと物理層ロジック回路3の受信データを適宜手段で外部に取り出してモニタすることにより、ポート4～6などの動作の良否を判断する。

#### 【0038】

以上説明したように、この実施形態によれば、物理層デバイス21単体で所定のテストが実現できるので、テストが容易となって、テスト時間の短縮化、テスト費用の低減化を実現することができる。

#### 【0039】

また、この実施形態によれば、リンク層インターフェース2が、外部のリンク層デバイスまたはテスト用リンク層回路22とスイッチ24により選択的に接続できる。このため、物理層デバイス21は、試作品のみならず実際の製品に適用できる。

#### 【0040】

なお、上記の実施形態では、物理層デバイス21は、スイッチ24を含む場合について説明したので、物理層デバイス21は、試作品のみならず実際の製品にも適用できる。しかし、本発明は、試作品のみに適用することも可能であり、この場合には、スイッチ24を省略できる。

【0041】

【発明の効果】

以上述べたように、本発明によれば、物理層デバイスが単体でテストを実現できるので、テストが容易となって、テスト時間の短縮化、テスト費用の低減化を実現することができる。

【図面の簡単な説明】

【図1】

本発明のテスト回路付き物理層デバイスの実施形態を、IEEE1394インターフェースの物理層デバイスに適用した場合のブロック図である。

【図2】

物理層ロジック回路の具体的な構成例を示すブロック図である。

【図3】

テスト用リンク層回路の構成例を示すブロック図である。

【図4】

テスト用物理層ロジック回路の具体的な構成例を示すブロック図である。

【図5】

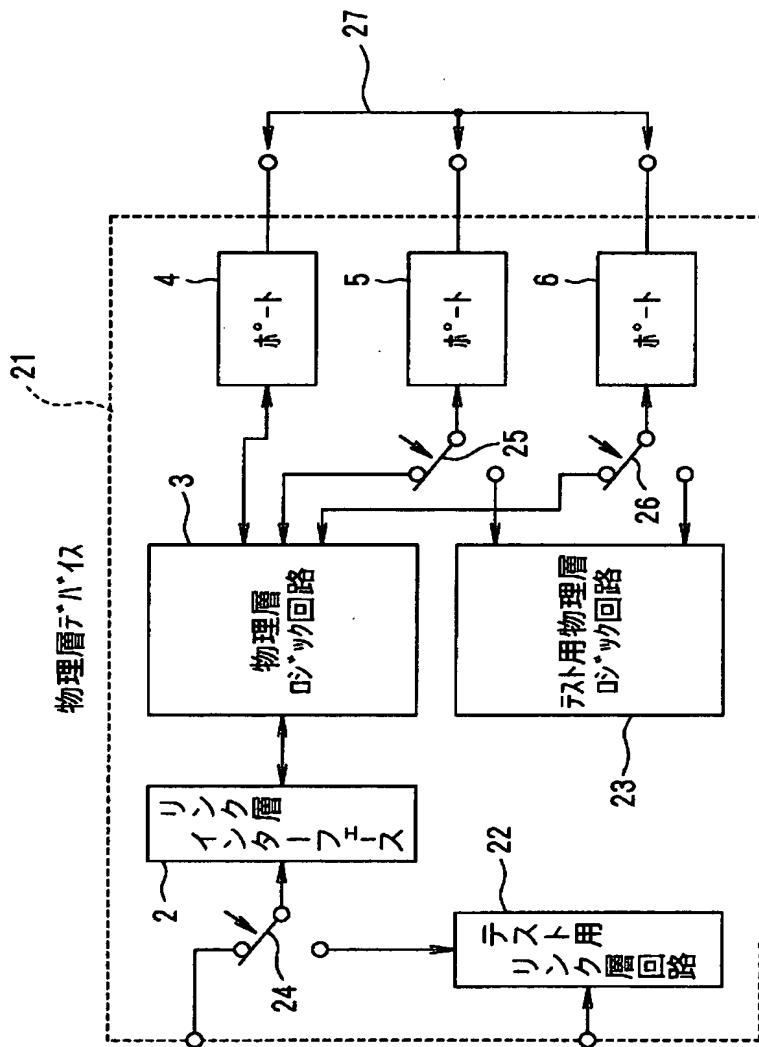
従来技術の説明図である。

【符号の説明】

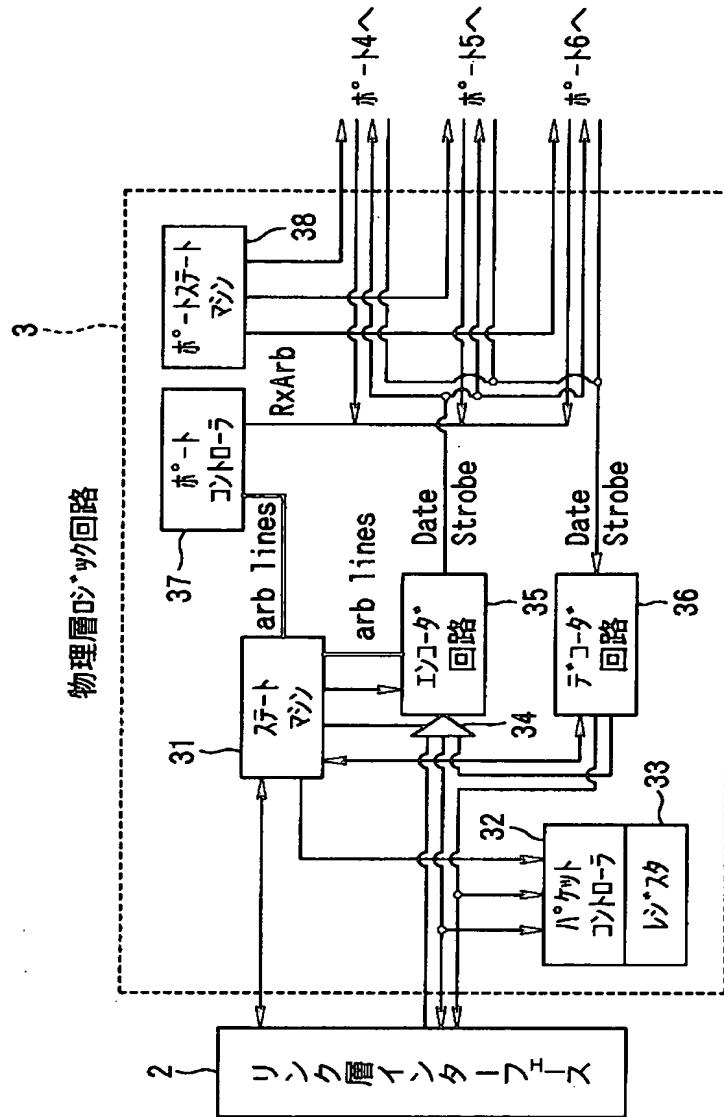
- 2 リンク層インターフェース
- 3 物理層ロジック回路
- 4～6 ポート
- 22 テスト用リンク層回路
- 23 テスト用物理層ロジック回路
- 24～26 スイッチ
- 27 外部配線用のケーブル

【書類名】 図面

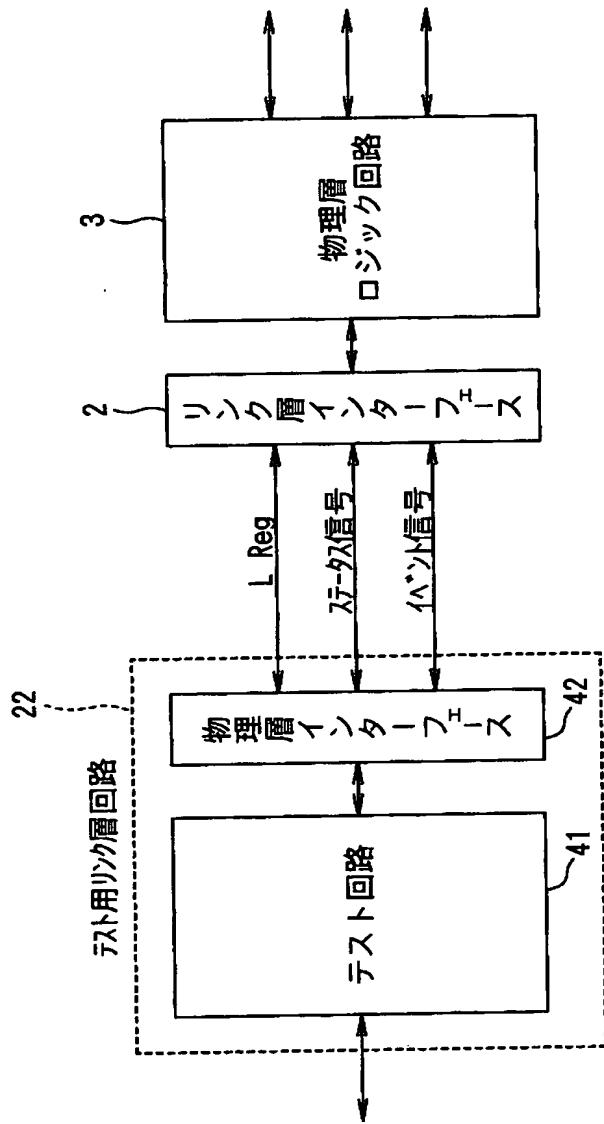
【図1】



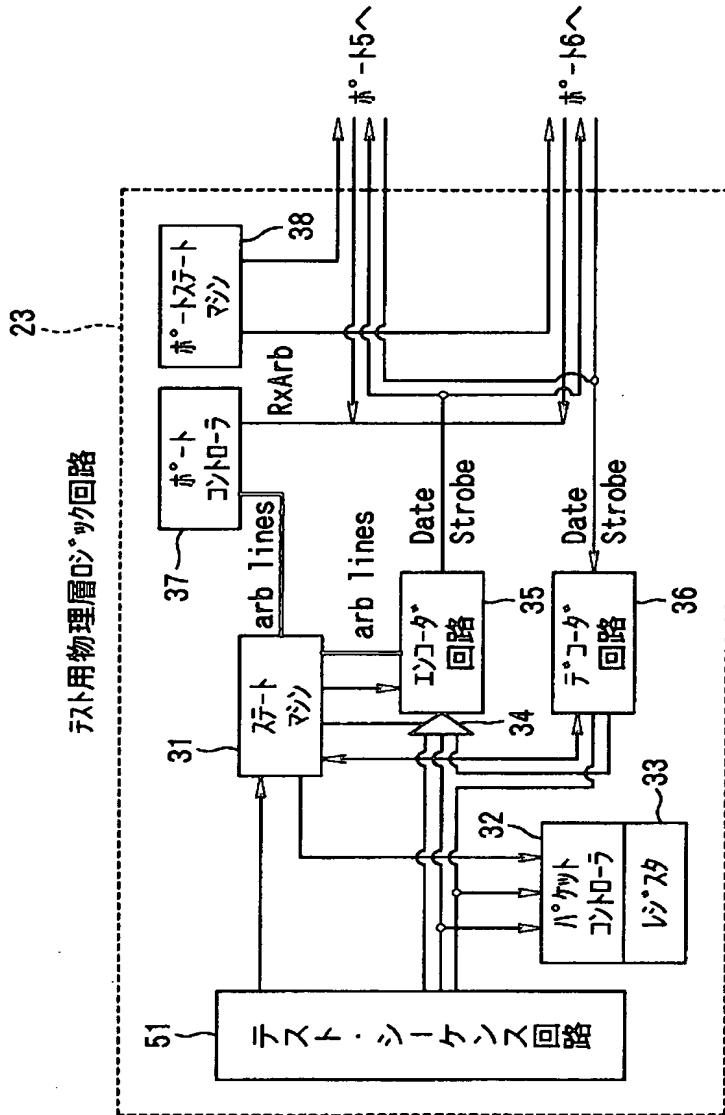
【図2】



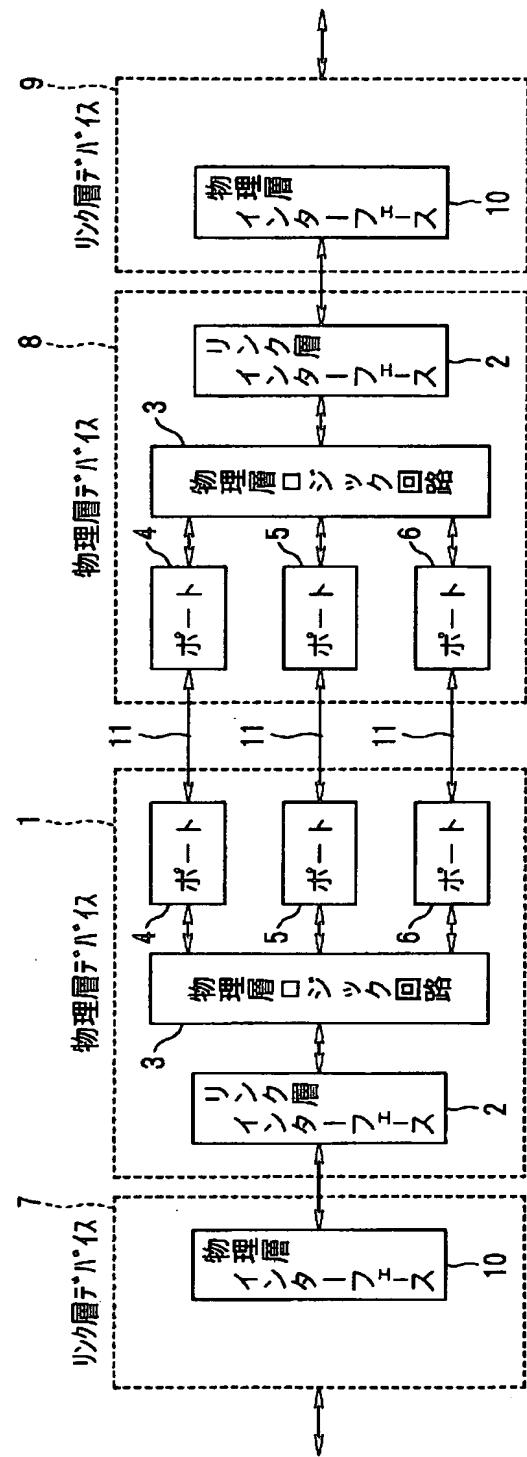
【図3】



【図4】



【図5】



【書類名】要約書

【要約】

【課題】 物理層デバイス単体でテストできるようにし、テスト時間の短縮化、  
テスト費用の低減化が実現できるテスト回路付き物理層デバイスの提供。

【解決手段】 この物理層デバイス21は、リンク層インターフェース2、物理  
層ロジック回路3、およびポート4～6の他に、物理層ロジック回路3とポート  
4～6の動作をテストするために、テスト用リンク層回路22、テスト用物理層  
ロジック回路23、およびスイッチ24～26を内部に備えている。テスト時に  
は、ポート4～6はケーブル27により外部接続されるとともに、スイッチ24  
～26の接点が切り換わる。これにより、物理層ロジック回路3は、テスト用リ  
ンク層回路22と接続され、ポート5、6はテスト用物理層ロジック回路23と  
接続される。

【選択図】 図1

特2000-162546

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社